

TITLE OF THE INVENTION

SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

CROSS-REFERENCE TO RELATED APPLICATION

This application is based upon and claims the benefit of priority from the prior Japanese Patent Applications Nos. 11-125746, filed May 6, 1999, and 2000-130412, filed April 28, 2000, and the entire contents of which are incorporated herein by reference.

BACKGROUND OF THE INVENTION

本発明は、MOS型半導体装置に関し、特に、ソース領域／ドレイン領域の形成方法及びこの形成方法により得られるMOS型半導体装置に関する。

MOSトランジスタを有する半導体集積回路装置において、そのソース領域／ドレイン領域を構成する拡散領域を形成する場合、トランジスタのショートチャネル効果を抑制するために、その深さを浅くする必要がある。従来、拡散領域の抵抗を低く保つための方法としては、ソース領域／ドレイン領域上のみシリコンを持ち上げ形成した、いわゆる、エレベータッドソース／ドレイン構造が有効な手段として知られている。

エレベータッドソース／ドレイン構造を実現するためには、通常、選択成長方法を用いて、ソース領域／ドレイン領域上にシリコンを選択成長させる方法が用いられている。この選択成長においては、シリコン基板上におけるシリコン成長を実現しつつ、絶縁膜上においてはシリコンを成長させないようにするために、選択成長の前処理として、シリコン面上の自然酸化膜を十分に除去することが必須とされる。この必然的な結果として、ソース領域／ドレイン領域上には単結晶シリコンが成長される。これまでもこの他にいくつかの方法が試みられている。

図14及び図15を参照して従来のエレベータッドソース／ドレイン構造を有するMOSトランジスタの形成方法を説明する。図14及び図15は、MOSトランジスタの製造工程断面図である。n型シリコン半導体基板101主面に熱酸化などの方法によりゲート酸化膜(SiO₂)102を形成し、その上に、側

壁絶縁膜 104 を施した多結晶シリコンなどからなるゲート電極 103 を形成する (図 14 A)。次に、ゲート酸化膜 102 が形成された領域以外のゲート酸化膜 102 をエッチング除去する。そして、CVD (Chemical Vapour Deposition) 装置を用い、事前に弗化水素の水溶液で露出した半導体基板表面に形成された自然酸化膜を取り除いてから、単結晶シリコン膜 105 を 50 nm 程度露出した半導体基板上に選択的に成長させる (図 14 B)。このとき、ゲート電極 103 には多結晶シリコン膜 105' が成長する。成長ガスとして、例えば、シランを用いる。次に、選択的に成長した単結晶シリコン膜 105 を介してボロン (BF_2) などの p 型不純物 106 を 10 keV、 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入する (図 15 A)。そして、RTA (Rapid thermal annealing) により 800°C、10 秒の条件により熱処理を行ってこの不純物を拡散させ、ソース領域 107 及びドレイン領域 108 となる p 型不純物拡散領域を形成する (図 15 B)。

前述したように、このエレベーターソース/ドレイン構造においては、ソース領域/ドレイン領域上へのドーピングは、浅い拡散層の形成を目的として、シリコン膜の選択成長後にドーパントをイオン注入することによって行われる。選択成長によって単結晶シリコン膜の厚さを持ち上げ、選択成長を行わない場合に比較して浅い拡散領域を実現することはできる。しかしながら、成長膜が単結晶であるのでイオン注入時のチャネリングが避けられない。チャネリングを避けるには多結晶シリコンの選択成長が望ましい。しかしながら、上述した理由により自然酸化膜を除去しなければならず、この場合成長膜は、単結晶化してしまうため、多結晶シリコン膜を選択成長によって形成することは困難であった。なお、多結晶シリコンの選択成長方法としては、特願平 3-149127 号や F. Mieno et al, Journal of Electrochemical Society vol. 134, p. 2862 (1987) などが報告されている。これは堆積膜中に酸素や炭素を高濃度に含有させることで多結晶化することを用いており、そのために抵抗率が高くなってしまふことは避けられず、導電性部材として利用するには問題があった。

BRIEF SUMMARY OF THE INVENTION

本発明は、このような事情によりなされたものであり、ソース領域／ドレイン領域を形成するためのイオン注入法によるドーピング時におけるチャネリングを抑止し、低抵抗で浅い不純物拡散領域が形成でき、また、ショート（短）チャネル効果に対して有利な微細MOSトランジスタの作成が可能な半導体装置の製造方法を提供することを目的とする。

本発明は、ソース領域／ドレイン領域上にSiGeもしくはSiCなどを選択成長させたのち、シリコンを選択成長させる。CやGeの含有率を所定濃度以上とすることによりシリコン膜成長時に、転位密度の高い単結晶もしくは多結晶状態での成長が起きるようになる。シリコンの選択成長の時点ではソース領域／ドレイン領域上は単結晶ではないか、たとえ単結晶であっても転位密度が高いためその上に成膜されるシリコン膜も転位密度の大きい単結晶あるいは多結晶となる。したがって、この後に行われるソース領域／ドレイン領域を形成するためのイオン注入法によるドーピング時に発生するイオンのチャネリングによる深い領域までの不純物拡散を抑止できるため、従来の欠陥の極少ない単結晶膜を選択成長させていた場合に比較して、浅く、且つ低抵抗の不純物拡散領域を形成することができる。また、堆積した領域中の拡散係数が半導体基板中と比較して速いため、ステッププロファイル形状の不純物拡散領域を得ることができる。その結果、ショートチャネル効果に対して有利な微細MOSトランジスタの作成が可能となる。

すなわち、本発明の半導体装置の製造方法は、シリコン半導体基板主面上にゲート絶縁膜およびゲート電極を形成する工程と、前記ゲート電極形成後、前記半導体基板主面の露出領域上にのみゲルマニウムを含有する導電性膜もしくは炭化シリコンからなる導電性膜を選択的に堆積する工程と、前記領域上の前記導電性膜上にシリコン膜を堆積する工程と、前記ゲート電極をマスクとし、前記導電性膜及び前記導電性膜上に堆積された前記シリコン膜を介して前記半導体基板主面に不純物を注入、拡散し前記半導体基板主面にソース領域／ドレイン領域を形成する工程とを備えたことを特徴としている。前記導電膜上に堆積されたシリコン膜は、多結晶膜もしくは転位密度が 10^8 cm^{-2} 以上である単結晶膜であってもよい。前記ゲート電極を形成後、前記ゲルマニウムを含有する導電性膜もしくは

炭化シリコン膜からなる導電性膜を堆積する前に、前記ソース領域／ドレイン領域を形成する予定の領域にエクステンション領域を形成する工程を更に備えてもよい。前記導電膜上に堆積されたシリコン膜表面を低抵抗化する工程を更に備えてもよい。前記導電膜上に堆積された前記シリコン膜表面を低抵抗化する工程は前記堆積されたシリコン膜表面に金属膜を堆積する工程であってもよい。前記シリコン膜表面に CoSi_2 膜などを形成して低抵抗化しても良い。前記ゲート電極の側面に側壁絶縁膜を形成する工程を更に備えるようにしてもよい。前記炭化シリコン膜は、膜厚が0.1乃至10nmであってもよい。前記ゲルマニウムを含有する導電性膜は、ゲルマニウムの含有量が20原子%以上であるようにしてもよい。前記ゲルマニウムを含有する導電性膜は、ゲルマニウムの含有量が面密度で $1 \times 10^{16} \text{ cm}^{-2}$ 以上であってもよい。前記炭化シリコンからなる導電性膜は、炭化シリコンの含有量が面密度で $1 \times 10^{16} \text{ cm}^{-2}$ 以上であってもよい。

また、本発明の半導体装置の製造方法は、シリコン半導体基板主面上にゲート絶縁膜およびゲート電極を形成する工程と、前記ゲート電極形成後、前記シリコン半導体基板主面の露出領域のみを炭化しその露出領域上に炭化シリコン膜を選択的に形成する工程と、前記領域上の前記炭化シリコン膜上にシリコン膜を堆積する工程と、前記ゲート電極をマスクとし、前記炭化シリコン膜及び前記炭化シリコン膜上に堆積された前記シリコン膜を介して前記半導体主面に不純物を注入、拡散し前記半導体主面にソース領域／ドレイン領域を形成する工程とを備えたことを特徴としている。前記炭化シリコン膜を形成後、前記炭化シリコン膜上にシリコン膜を堆積する前に、前記ソース領域／ドレイン領域を形成する予定の領域にエクステンション領域を形成する工程を更に備えてもよい。前記堆積されたシリコン膜表面を低抵抗化する工程を更に備えてもよい。前記堆積されたシリコン膜表面を低抵抗化する工程は前記堆積されたシリコン膜表面に金属膜を堆積する工程であってもよい。前記ゲート電極の側面に側壁絶縁膜を形成する工程を更に備えてもよい。前記炭化シリコン膜は、膜厚が0.1ないし10nmであってもよい。

また、本発明の半導体装置は、シリコン半導体基板と、前記半導体基板主面上

に形成されたゲート絶縁膜およびゲート電極と、前記半導体基板主面上のシリコン基板が露出している領域上にのみ形成されたゲルマニウムを含有する導電性膜もしくは炭化シリコンからなる導電性膜と、前記領域上の前記導電性膜上に形成されたシリコン膜と、前記シリコン膜及び前記導電膜下のシリコン半導体基板領域に形成されたソース領域／ドレイン領域とを備え、前記シリコン膜は、多結晶膜もしくは転位密度が 10^8 cm^{-2} 以上である単結晶膜であることを特徴としている。前記導電膜上に堆積されるシリコン膜は、多結晶膜もしくは転位密度が 10^8 cm^{-2} 以上である単結晶膜であってもよい。前記ゲルマニウムを含有する導電性膜は、ゲルマニウムの含有量が20原子%以上であってもよい。前記ゲルマニウムを含有する導電性膜は、ゲルマニウムの含有量が面密度で $1 \times 10^{16} \text{ cm}^{-2}$ 以上であってもよい。前記炭化シリコン膜は、膜厚が0.1ないし10 nmであってもよい。

以上のように、選択的に導電膜が堆積される、部分的にシリコン半導体基板表面が露出した領域は、MOS型トランジスタのソース領域／ドレイン領域を含むものである。MOS型トランジスタにおけるソース領域／ドレイン領域上において、ゲルマニウムや炭素などの特定元素の組成の深さ方向分布は、極大値を持っている。この極大値を示す深さは、ゲート絶縁膜付近である。極大値を示す深さよりも浅い領域の転位密度が、極大値を示す領域よりも深い領域の転位密度よりも高い。極大値を示す深さよりも浅い領域の結晶状態が多結晶であっても良い。特定元素の極大となる深さを境として、ソース／ドレインに添加するドーピング元素の拡散係数は、浅い領域の方が深い領域よりも大きいことを特徴とする。

Additional objects and advantages of the invention will be set forth in the description which follows, and in part will be obvious from the description, or may be learned by practice of the invention. The objects and advantages of the invention may be realized and obtained by means of the instrumentalities and combinations particularly pointed out hereinafter.

BRIEF DESCRIPTION OF THE SEVERAL VIEWS OF THE DRAWING

The accompanying drawings, which are incorporated in and constitute a part of the specification, illustrate presently preferred embodiments of the invention, and together with the general description given above and the detailed description of the preferred embodiments given below, serve to explain the principles of the invention.

図1 Aおよび図1 Bは、それぞれ、本発明の半導体装置の第1の実施例の製造工程断面図。

図2 Aおよび図2 Bは、それぞれ、本発明の半導体装置の第1の実施例の製造工程断面図。

図3は、本発明の半導体装置の第1の実施例の製造工程断面図。

図4 Aおよび図4 Bは、本発明(a)及び従来例(b)の半導体基板におけるソース領域／ドレイン領域を含む部分のドーパントプロファイル図。

図5は、本発明及び従来例のMOS型トランジスタにおけるしきい値電圧(V_{th})のゲート長依存性を示す特性図。

図6は、シリコン膜における転位密度のシリコンゲルマニウム膜中のゲルマニウム濃度依存性を示す特性図。

図7は、半導体基板におけるソース領域／ドレイン領域を含む部分のドーパントプロファイル図。

図8 Aおよび図8 Bは、それぞれ、本発明の半導体装置の第2の実施例の製造工程断面図。

図9 Aおよび図9 Bは、それぞれ、本発明の半導体装置の第2の実施例の製造工程断面図。

図10は、本発明の半導体装置の第2の実施例の製造工程断面図。

図11 Aおよび図11 Bは、それぞれ、本発明の半導体装置の第3の実施例の製造工程断面図。

図12 Aおよび図12 Bは、それぞれ、本発明の半導体装置の第3の実施例の製造工程断面図。

図13は、本発明の半導体装置の第3の実施例の製造工程断面図。

図14Aおよび図14Bは、それぞれ、従来の半導体装置の製造工程断面図

図15Aおよび図15Bは、それぞれ、従来の半導体装置の製造工程断面図

DETAILED DESCRIPTION OF THE INVENTION

以下、図面を参照して本発明の実施の形態を説明する。

まず、図1A乃至図7を参照して第1の実施例を説明する。この実施例では、本発明をMOS型トランジスタに適用した場合を示している。図1乃至図3は、半導体装置の各製造工程における断面図、図4Aおよび図4Bは、本発明および従来例における、半導体基板の深さ方向の、すなわち、シリコン膜及びシリコンゲルマニウム膜で被覆された領域であってソース領域／ドレイン領域を含む部分の深さ方向の、ドーパントプロファイル図、図5は、MOS型トランジスタのしきい値電圧 (V_{th}) のゲート長依存性を示す特性図、図6は、シリコン膜の転位密度のシリコンゲルマニウム膜中のゲルマニウム濃度 (原子%) 依存性を示す特性図、図7は、半導体基板の深さ方向の、すなわち、シリコン膜及びシリコンゲルマニウム膜で被覆された領域であってソース領域／ドレイン領域を含む部分の深さ方向の、ドーパントプロファイル図である。

この実施例のMOS型トランジスタの製造方法について以下説明する。

周知の半導体製造技術により、(100)面方位を有するn型単結晶シリコン半導体基板11上に、素子分離絶縁膜 (図示せず) を形成して素子領域を区画した後、ゲート酸化膜 (SiO_2)、膜厚60nmのアンダーの多結晶シリコン膜を順次形成する。この後、反応性イオンエッチング (RIE; Reactive Ion Etching) 法により、ゲート絶縁用の酸化膜、多結晶シリコン膜をパターニングしてゲート酸化膜 (SiO_2) 13、ゲート電極14を素子領域に形成する (図1A)。次に、エクステンション領域形成のため、ゲート電極14をマスクとして BF_3 を5keVで $1 \times 10^{14} cm^{-2}$ の条件でイオン注入し、ついで、RTA (Rapid Thermal Annealing) により800℃、10秒の熱処理を行い、それにより、半導体基板11表面に、深さが0.1μm程度のエクステンション (Extension) 領域15であるp型不純物拡散領域15を形成する。このエクステ

ンション領域は、深さが30～50nm程度が適当である。この後、膜厚20nmのシリコン酸化膜(SiO_2)、膜厚50nmのシリコン窒化膜(Si_3N_4)をCVD法により順次堆積した後、これらシリコン酸化膜(SiO_2)、シリコン窒化膜(Si_3N_4)をRIEによりエッチングして、ゲート電極14の側壁上に、シリコン酸化膜16及びシリコン窒化膜17からなる側壁絶縁膜を形成する。この後、フッ化水素酸等によってソース／ドレイン形成領域、ゲート電極上の自然酸化膜を剥離する(図1B)。

次に、ジクロロシラン／モノゲルマンを原料ガスとした減圧CVD法により、ソース領域／ドレイン領域形成領域、ゲート電極上にのみ、膜厚10nmのアンドープシリコンゲルマニウム膜18を選択的に堆積させる(図2A)。ここで選択成長は、ジクロロシランとモノゲルマンを10：1の流量比で混合したガスを原料ガスとして用い、キャリアガスとして水素を用いて圧力2Torr、750℃の条件で行う。このとき堆積されたシリコンゲルマニウム膜は、シリコンとゲルマニウムの組成比が80%：20%となり、またこのソース領域／ドレイン領域上の堆積膜中において高密度の転位が観測された。

シリコンゲルマニウム膜の厚さは、10～100nmの範囲から選択することができる。10nm以下であるとその上に形成されるシリコン膜が欠陥が極く少ない単結晶になり易く、100nmを超えると抵抗が大きくなり過ぎてしまう。30nm～50nmが特に好ましい。

次に、シリコンゲルマニウム膜18上に膜厚40nmのアンドープシリコン膜19を選択的に堆積させる。この膜中においても、その下地であるシリコンゲルマニウム膜18と同様に高密度の転位が観測され、この膜が多結晶であることが明らかとなった。ここで選択成長は、ジクロロシラン、水素、塩酸の混合ガスを流し、圧力50Torr、850℃の条件で行った(図2B)。このシリコン膜は、40nm以下、とくに20nm以下が好ましく、この実施例では、導電性膜18とシリコン膜19のトータルの厚さが50nmにしている。

この後、 BF_2 を10keV、 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入し、ついで、RTAにより800℃、10秒の熱処理を行って、ソース領域21、ドレイン領域22の形成を行うと共に、ゲート電極14への不純物ドーピングを行う。

さらに、半導体基板 11 全面にスパッタリング法によって、C o 膜を 20 nm、さらにその上に T i N 膜を 30 nm 堆積させる。その後、半導体基板 11 を 500℃、30 秒で熱処理することにより、シリコン膜 19 と接している C o 膜は、シリコン膜 19 と反応して C o S i 膜を形成する。この後、T i N 膜及び未反応の C o 膜を剥離し、さらに 700℃、30 秒の条件で熱処理を行う。この結果、ノース領域／ドレイン領域及びゲート電極 14 上のみに選択的に C o S i₂ 膜 20 が形成される（図 3）。

この実施例においては、金属シリサイドの下面にシリコンゲルマニウム膜が形成されているため、金属シリサイド形成後のアニール時、金属シリサイドの動きが抑制され、金属シリサイドの凝集を抑えることができ、かつ、金属シリサイドの膜厚を均一に形成できる。この結果、拡散層の抵抗の上昇を抑制し、かつ、抵抗のばらつきを軽減し、低抵抗拡散層および低抵抗コンタクトを実現することができる。

この実施例で形成した MOS 型トランジスタ構造と、シリコンゲルマニウム膜を形成せず、単結晶シリコン膜を 50 nm とした従来の MOS 型トランジスタの場合とを比較する。その結果、図 5 に示したように、本発明が MOS トランジスタのショートチャネル特性の向上に有効であることが確かめられた。図 5 の縦軸がトランジスタのしきい値 (V_{th}) (V) であり、横軸がトランジスタのゲート長 (μm) を表わしている。そして、従来例では、ゲート長が 0.2 μm では著しくしきい値 (V_{th}) が低下している。これは、従来例とこの実施例とで同じ加速電圧で B F₂ のイオン注入を行っているにも関わらず、本発明によればシリコン膜が多結晶化されているためチャネリングが抑えられ、浅い不純物拡散領域が形成されていることによると考えられる。また寄生抵抗を調べたところ、本発明の方がより低抵抗化が実現できていることがわかった。実際、これらの試料について、S I M S (Secondary Ion Mass Spectroscopy) によってドーパントのプロファイルを調べた結果、従来例を示す図 4 B に比べて、図 4 A (本発明) に示すように、チャネリングが抑えられ、接合深さの浅くなっていることがわかった。ショートチャネル効果が抑止できたのは、このプロファイルにおいて、ボロン (B) のテール部の深さを浅くすることができたからである。また、表面

付近のドーパントを比較すると、図4 Aに示されるように、本発明では、均一の濃度となっていることがわかる。これはシリコン膜19が欠陥を多く含む結晶であるために内部の拡散係数が速いことに原因がある。この結果、本発明によれば、イオン注入したボロンが注入時のピークの深さにとどまることがないため、活性なボロンの量を増加できるので不純物拡散領域の抵抗を低くすることができたものである。

上記実施例では、ドーパントとしてボロンを用いたpチャネルトランジスタの場合について示したが、リン(P)や砒素(As)をドーパントとして用いるnチャネルトランジスタの場合についても同様の効果が確認された。本発明を、pチャネルトランジスタとnチャネルトランジスタとを1つの半導体基板に搭載するCMOS構造の半導体装置に適用する場合は、ボロンとリンもしくは砒素とを打ち分ける。pチャネルトランジスタのソース領域/ドレイン領域を形成する場合、nチャネルトランジスタ領域をフォトレジストで被覆してpチャネルトランジスタ領域にボロンをイオン注入する。そして、nチャネルトランジスタのソース領域/ドレイン領域を形成する場合、pチャネルトランジスタ領域をフォトレジストで被覆してnチャネルトランジスタ領域にリンもしくは砒素をイオン注入する。上記実施例では、また、(100)面方位を有する単結晶シリコン半導体基板を用いているが、(110)あるいは(111)面方位を有する単結晶シリコン半導体基板を用いてもよい。

上記実施例においては、Ge組成として20%のものについて示したが、このGe濃度の依存性について調べたところ、次のような結果が得られた。実際は、SiGe中のGe組成を0%~100%として、SiGe膜厚を10nm、シリコン膜の膜厚を40nmとした積層構造を形成し、シリコン膜の結晶性及びその膜にイオン注入したドーパント(ボロン)の熱処理後のプロファイルを調べた。図6は、Ge濃度に対する転位密度の変化を示し、図7は、Ge濃度に対するドーパント(ボロン)のプロファイルの違いを示す。

図6の縦軸は、シリコン膜19の転位密度(cm^{-2})であり、横軸は、シリコンゲルマニウム(SiGe)膜18中のGe濃度(原子%)を表わしている。図7の縦軸は、半導体基板11及びシリコンゲルマニウム膜18、シリコン膜19

のドーパント（ボロン）の濃度（ cm^{-3} ）を表わし、横軸は、シリコン膜19表面から半導体基板11方向の深さ（nm）を表わしている。図6により、Ge濃度が15%未満では転位密度が低すぎて測定限界以下である、Ge濃度が15%以上で転位密度が増加し、さらに45%を超えると転位密度が高すぎて転位密度が観測できないような多結晶となっていることがわかる。この結果は、図7と対応しており、Geを20%以上とすることで拡散層深さを浅くできていることがわかる。これらの結果はすなわち、20%以上のGe濃度のシリコンゲルマニウム膜18を形成することで、本発明の効果であるドーパントプロファイル制御が可能となることを示している。また、この実験ではシリコンゲルマニウム膜18の厚さを10nmとした場合の結果を示したが、この厚さはより薄い場合、もしくはは厚い場合であっても構わない。より薄くした場合の同様の実験から、Ge濃度が面密度で 10^{16}cm^{-2} 以上あれば十分であることが確認された。

また、この実施例では、シリコンゲルマニウム膜18を堆積した後、シリコン膜19を堆積した場合を示したが、シリコン膜を堆積させてからシリコンゲルマニウム膜を堆積させ、さらにシリコン膜を堆積させても良い。このよう方法により、熱処理後のドーパントプロファイルが大きく変化する位置を自由に変えることができるようになる。また、この実施例ではシリコンゲルマニウム膜18、シリコン膜19のいずれもアンドープで堆積させた場合を説明したが、堆積時のソースガス中にP、B、Asなどの元素を含むガスを同時に流すことにより、ドーピングしながら堆積を行っても良い。

また、この実施例では、MOSトランジスタのソース領域／ドレイン領域を非単結晶にする場合を示したが、これに限らず、非単結晶をシリコンの露出している領域上にのみ選択的に堆積させ、これを導電性部材として利用するような応用に広く利用することもできる。

次に、図8Aないし図10を参照して第2の実施例を説明する。

図8A乃至図10は、半導体装置の各製造工程における断面図である。この実施例では、第1の実施例と同様に、本発明をMOS型トランジスタに適用した場合を示している。この実施例では、第1の実施例におけるアンドープシリコンゲルマニウム膜18の堆積に代えてアンドープ炭化シリコン（SiC）膜23の堆

積を用いている。この点のみが異なっており、他は実質的に同じである。

この実施例のMOS型トランジスタの製造方法について以下説明する。

周知の半導体製造技術により、(100)面方位を有するn型単結晶シリコン半導体基板11上に、素子分離絶縁膜(図示せず)を形成して素子領域を区画した後、ゲート酸化膜(SiO_2)、膜厚60nmのアンドープの多結晶シリコン膜を順次形成する。この後、反応性イオンエッチング(RIE; Reactive Ion Etching)法により、ゲート絶縁用の酸化膜、多結晶シリコン膜をパターンニングしてゲート酸化膜(SiO_2)13、ゲート電極14を素子領域に形成する(図8A)。

次に、エクステンション領域形成のため、ゲート電極14をマスクとして BF_3 を5keVで $1 \times 10^{14} \text{ cm}^{-2}$ の条件でイオン注入し、ついで、RTA(Rapid Thermal Annealing)により800℃、10秒の熱処理を行い、それにより、半導体基板11表面に、深さが0.1 μm 程度のエクステンション(Extension)領域15であるp型不純物拡散領域15を形成する。このエクステンション領域は、深さが30~50nm程度が適当である。この後、膜厚20nmのシリコン酸化膜(SiO_2)、膜厚50nmのシリコン窒化膜(Si_3N_4)をCVD法により順次堆積した後、これらシリコン酸化膜(SiO_2)、シリコン窒化膜(Si_3N_4)をRIEによりエッチングして、ゲート電極14の側壁上に、シリコン酸化膜16及びシリコン窒化膜17からなる側壁絶縁膜を形成する。この後、フッ化水素酸等によってエクステンション領域15、ゲート電極14上の自然酸化膜を剥離する(図8B)。

次に、ジクロロシラン(SiH_2Cl_2)と、ジメチルシラン($\text{C}_2\text{H}_6\text{Si}$)の混合ガスを用いることによりシリコンの露出している領域上にのみ、すなわち、エクステンション領域15及びゲート電極14上にのみ、膜厚10nmのアンドープ炭化シリコン(SiC)膜28を選択的に堆積する。堆積された炭化シリコン膜28は、シリコンと炭素の組成比が50原子%:50原子%であり、エクステンション領域15上において多結晶及びアモルファスから形成されていることが観測された(図9A)。

次に、ジクロロシランのみをソースガスとして、アンドープ炭化シリコン膜2

8上に膜厚40nmのアンダーシリコン膜19を選択的に堆積させる。この膜中においては、その下地であるアンダー炭化シリコン膜28の結晶性をひきつぐことができないため、この膜が多結晶であることが明らかとなった。ここで選択成長は、ジクロロシラン、水素、塩酸の混合ガスを流し、圧力50 Torr、850℃の条件で行った。このシリコン膜は、40nm以下、とくに20nm以下が好ましく、この実施例では、アンダー炭化シリコン膜28とシリコン膜19のトータルの厚さが50nmにしている（図9B）。

この後、 BF_2 を10keV、 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入し、ついで、RTAにより800℃、10秒の熱処理を行って、ソース領域21、ドレイン領域22の形成を行うと共に、ゲート電極14への不純物ドーピングを行う。さらに、半導体基板11全面にスパッタリング法によって、Co膜を20nm、さらにその上にTiN膜を30nm堆積させる。その後、半導体基板11を500℃、30秒で熱処理することにより、シリコン膜19と接しているCo膜は、シリコン膜19と反応してCoSi膜を形成する。この後、TiN膜及び未反応のCo膜を剥離し、さらに700℃、30秒の条件で熱処理を行う。この結果、ソース領域／ドレイン領域及びゲート電極14上のみに選択的にCoSi₂膜20が形成される（図10）。

炭化シリコン膜の厚さは、10～100nmの範囲から選択することができる。10nm以下であるとその上に形成されるシリコン膜が欠陥が極く少ない単結晶になり易く、100nmを超えると抵抗が大きくなり過ぎてしまう。30nm～50nmが特に好ましい。

この実施例では、第1の実施例におけるアンダーシリコンゲルマニウム膜18の堆積に代えてアンダー炭化シリコン（SiC）膜28の堆積が用いられているが、金属シリサイドの下面にアンダー炭化シリコン膜が形成されているため、金属シリサイド形成後のアニール時、金属シリサイドの動きが抑制され、金属シリサイドの凝集を抑えることができ、かつ、金属シリサイドの膜厚を均一に形成できる。この結果、拡散層の抵抗の上昇を抑制し、かつ、抵抗のばらつきを軽減し、低抵抗拡散層および低抵抗コンタクトを実現することができる。

この構造についても、ドーパントのプロファイルを調べたところ、図7に示し

たようなステッププロファイルの不純物拡散領域形状が得られ、効果が同様であることが確認された。

炭化シリコン (SiC) 膜 28 の形成は、有機物、代表的にはペンタデカン (pentadecane) ($C_{15}H_{32}$) の塗布およびそのアニーリングによって形成することもできる。

次に、図 11 A ないし図 13 を参照して第 3 の実施例を説明する。この実施例の場合も、第 1 および第 2 の実施例と同様に、本発明を MOS 型トランジスタに適用した場合を示している。図 11 A ないし図 13 は、半導体装置の各製造工程における断面図である。

この実施例の MOS 型トランジスタの製造方法について以下説明する。

周知の半導体製造技術により、(100) 面方位を有する n 型単結晶半導体基板 11 上に、素子分離絶縁膜 (図示せず) を形成して素子領域を区画した後、ゲート絶縁用の酸化膜 (SiO_2)、膜厚 60 nm のアンドープの多結晶シリコン膜を順次形成する。この後、反応性イオンエッチング法により、それらゲート絶縁用の酸化膜、多結晶シリコン膜をパターンニングしてゲート酸化膜 (SiO_2) 13、ゲート電極 14 を素子領域に形成する (図 11 A)。

次に、希フッ酸処理後、 C_2H_4 を用いて、880℃、0.5 Torr の条件で減圧 CVD 法により、半導体基板 11 のソース領域/ドレイン領域、およびゲート電極のみを選択的に炭化し、ソース領域/ドレイン領域、およびゲート電極上にのみ厚さ 1 nm の炭化シリコン膜 38 を形成する。炭化シリコン膜 38 を形成するため半導体基板 11 を CVD チャンバに搬入するのであるが、CVD チャンバ (図示せず) への搬入は、自然酸化膜形成を抑制するため、 N_2 雰囲気で行うことが望ましい。また、炭化前に、水素を、900℃、0.2 Torr、30 min、3 s Lm の条件で CVD チャンバ内に流して、自然酸化膜を剥離することが望ましい。炭化シリコン膜 38 の厚さは、0.1 nm ~ 10 nm の範囲で選択することができる。このような炭化シリコン膜の厚さは界面炭素の面密度でも定義でき、炭素の面密度が $1 \times 10^{16} \text{ cm}^{-2}$ 以上であればよいことが確認された (図 11 B)。

次に、エクステンション領域形成のため、ゲート電極 14 をマスクにして BF

2 を 5 keV で $1\text{ E }14\text{ cm}^{-2}$ の条件でイオン注入し、ついで RTA により 800°C 、 10 秒の熱処理を行い、それにより基板 11 表面にエクステンション領域 15 である p 型不純物拡散領域 15 を形成する。このエクステンション領域 15 は、深さが $30\sim 50\text{ nm}$ 程度が適当である (図 12 A)。

次に、膜厚 20 nm のシリコン酸化膜 (SiO_2)、膜厚 50 nm のシリコン窒化膜 (Si_3N_4) を CVD 法により順次堆積した後、これらシリコン酸化膜 (SiO_2)、シリコン窒化膜 (Si_3N_4) を RIE によりエッチングして、ゲート電極 14 の側壁上に、酸化膜 16 及びシリコン窒化膜 17 からなる側壁絶縁膜を形成する。次に、希フッ酸処理によって、炭化シリコン膜 18 表面に形成された自然酸化膜を取り除いてから、炭化シリコン膜 38 上に、膜厚 5 nm のアンドープシリコン膜 19 を選択的に堆積する。この選択成長は、ジクロロシラン、水素、塩酸の混合ガスを用いて、減圧 CVD 法により、圧力 50 Torr 、 850°C の条件で行う (図 12 B)。

この後、 BF_2 を 10 keV で $5\times 10^{15}\text{ cm}^{-2}$ のイオン注入し、ついで RTA により 800°C 10 秒の熱処理を行い、それにより、ソース領域 21、ドレイン領域 22 の形成、およびゲート電極 14 への不純物ドーピングを行う。さらに、スパッタリング法によって、 Co 膜を 20 nm 、さらにその上に TiN 膜を 30 nm 堆積させる。この後、半導体基板 11 を、 500°C で 30 秒熱処理することにより、シリコン膜 19 と接している Co 膜 23 は、シリコン膜 19 と反応して CoSi_2 膜 20 を形成する。この後、 TiN 膜 24 と未反応の Co 膜 23 とを剥離し、さらに、 700°C で 30 秒の条件で熱処理を行う。この結果、ソース領域 21、ドレイン領域 22 及びゲート電極 14 上に選択成長させたシリコン膜 19 を CoSi_2 膜 20 にかえることができる (図 13)。

この実施例においても、第 2 の実施例と同様に、金属シリサイドの下面に炭化シリコン膜が形成されているため、金属シリサイド形成後のアニール時、金属シリサイドの動きが抑制され、金属シリサイドの凝集を抑えることができ、かつ、金属シリサイドの膜厚を均一に形成できる。この結果、拡散層の抵抗の上昇を抑制し、かつ、抵抗のばらつきを軽減し、低抵抗拡散層および低抵抗コンタクトを実現することができる。

本発明による構造のように、ソース領域／ドレイン領域上に、高密度の欠陥を有する単結晶もしくは多結晶化されたシリコン膜を堆積させた構造のMOSトランジスタを形成することにより、次のようなメリットが見出される。

本発明のMOSトランジスタの動作寿命を、高温、高電圧印加テストにより調べたところ、ソース領域／ドレイン領域上が欠陥の少ない単結晶となっている構造のものと比較して、約2桁、長い寿命が得られることが判明した。ここで比較のため用いた単結晶は、欠陥密度 10^8 cm^{-2} 以下のものを用いた。このように、長い寿命が得られるという結果が得られたことは、ソース領域／ドレイン領域上の導電膜上に堆積されたシリコン膜が多結晶膜あるいは転位密度が 10^8 cm^{-2} 以上の単結晶膜であれば、MOSトランジスタの動作に有効に機能することを示している。このような不良箇所の生じた要因を調べたところ、ソース領域／ドレイン領域上に形成したシリサイド中の結晶粒が一部異常に大きく成長し、その直下にあるPN接合部まで到達していることが確認された。本発明による構造を持つもので、この領域が単結晶となっているものでも同様の異常により不良が起きているが、不良に至るまでの時間が約2桁異なっていた。このようにシリサイドが異常に成長するまでに時間が異なる機構は、次のように考えられる。従来構造のようにシリサイドに接触している領域が単結晶であると、一部異常に大きくなる結晶粒が現れた場合、その結晶粒のみが大きくなり、結果的にPN接合領域にまで達してしまう。これに対しシリサイドに接触している領域が多結晶等であると、多結晶と同様の異常成長は起きるものの、この異常成長の起きる密度が高くなるために、極めて大きくなるものの頻度が少なくなり、接合特性を劣化させるまでに至るも頻度は少なくなったものと考えられる。

本発明は、以上の構成により、ソース領域／ドレイン領域を形成するイオン注入法によるドーピング時におけるチャネリングを抑止できるため、従来の欠陥の極少ない単結晶を選択成長していた場合に比較して、浅く、且つ低抵抗の不純物拡散領域を形成することが可能である。また、堆積した領域中の拡散係数が半導体基板中と比較して速いためにステッププロファイル形状の不純物拡散領域を得ることができる。この結果として短チャネル効果に対して有利な微細MOSトランジスタの作成が可能となる。

Additional advantages and modifications will readily occur to those skilled in the art. Therefore, the invention in its broader aspects is not limited to the specific details and representative embodiments shown and described herein. Accordingly, various modifications may be made without departing from the spirit or scope of the general inventive concept as defined by the appended claims and their equivalents.

WHAT IS CLAIMED IS:

(1) シリコン半導体基板主面上にゲート絶縁膜およびゲート電極を形成する工程と、前記ゲート電極形成後、前記半導体基板主面の露出領域上にのみゲルマニウムを含有する導電性膜もしくは炭化シリコンからなる導電性膜を選択的に堆積する工程と、前記領域上の前記導電性膜上にシリコン膜を堆積する工程と、前記ゲート電極をマスクとし、前記導電性膜及び前記導電性膜上に堆積された前記シリコン膜を介して前記半導体基板主面に不純物を注入、拡散し前記半導体基板主面にソース領域／ドレイン領域を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

(2) 前記導電膜上に堆積されたシリコン膜は、多結晶膜もしくは転位密度が 10^8 cm^{-2} 以上である単結晶膜であることを特徴とする請求項1に記載の半導体装置の製造方法。

(3) 前記ゲート電極を形成後、前記ゲルマニウムを含有する導電性膜もしくは炭化シリコン膜からなる導電性膜を堆積する前に、前記ソース領域／ドレイン領域を形成する予定の領域にエクステンション領域を形成する工程を更に備えたことを特徴とする請求項1に記載の半導体装置の製造方法。

(4) 前記導電膜上に堆積された前記シリコン膜表面を低抵抗化する工程を更に備えたことを特徴とする請求項1に記載の半導体装置の製造方法。

(5) 前記導電膜上に堆積された前記シリコン膜表面を低抵抗化する工程は前記堆積されたシリコン膜表面に金属膜を堆積する工程であることを特徴とする請求項4に記載の半導体装置の製造方法。

(6) 前記ゲート電極の側面に側壁絶縁膜を形成する工程を更に備えたことを特徴とする請求項1に記載の半導体装置の製造方法。

(7) 前記炭化シリコン膜は、膜厚が0.1乃至10nmであることを特徴とする請求項1に記載の半導体装置の製造方法。

(8) 前記ゲルマニウムを含有する導電性膜は、ゲルマニウムの含有量が20原子%以上であることを特徴とする請求項1に記載の半導体装置の製造方法。

(9) 前記ゲルマニウムを含有する導電性膜は、ゲルマニウムの含有量が面密度で $1 \times 10^{16} \text{ cm}^{-2}$ 以上であることを特徴とする請求項1に記載の半導体

装置の製造方法。

(10) 前記炭化シリコンからなる導電性膜は、炭化シリコンの含有量が面密度で $1 \times 10^{16} \text{ cm}^{-2}$ 以上であることを特徴とする請求項1に記載の半導体装置の製造方法。

(11) シリコン半導体基板主面上にゲート絶縁膜およびゲート電極を形成する工程と、前記ゲート電極形成後、前記シリコン半導体基板主面の露出領域のみを炭化しその露出領域上に炭化シリコン膜を選択的に形成する工程と、前記領域上の前記炭化シリコン膜上にシリコン膜を堆積する工程と、前記ゲート電極をマスクとし、前記炭化シリコン膜及び前記炭化シリコン膜上に堆積された前記シリコン膜を介して前記半導体主面に不純物を注入、拡散し前記半導体主面にソース領域／ドレイン領域を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

(12) 前記炭化シリコン膜を形成後、前記炭化シリコン膜上にシリコン膜を堆積する前に、前記ソース領域／ドレイン領域を形成する予定の領域にエクステンション領域を形成する工程を更に備えたことを特徴とする請求項11に記載の半導体製造装置の製造方法。

(13) 前記堆積されたシリコン膜表面を低抵抗化する工程を更に備えたことを特徴とする請求項11に記載の半導体装置の製造方法。

(14) 前記堆積されたシリコン膜表面を低抵抗化する工程は前記堆積されたシリコン膜表面に金属膜を堆積する工程であることを特徴とする請求項13に記載の半導体装置の製造方法。

(15) 前記ゲート電極の側面に側壁絶縁膜を形成する工程を更に備えたことを特徴とする請求項11に記載の半導体装置の製造方法。

(16) 前記炭化シリコン膜は、膜厚が0.1ないし10nmであることを特徴とする請求項11に記載の半導体装置の製造方法。

(17) シリコン半導体基板と、前記半導体基板主面上に形成されたゲート絶縁膜およびゲート電極と、前記半導体基板主面上のシリコン基板が露出している領域上にのみ形成されたゲルマニウムを含有する導電性膜もしくは炭化シリコンからなる導電性膜と、前記領域上の前記導電性膜上に形成されたシリコン膜と

、前記シリコン膜及び前記導電膜下のシリコン半導体基板領域に形成されたソース領域／ドレイン領域とを備え、前記シリコン膜は、多結晶膜もしくは転位密度が 10^8 cm^{-2} 以上である単結晶膜であることを特徴とする半導体装置。

(18) 前記導電膜上に堆積されるシリコン膜は、多結晶膜もしくは転位密度が 10^8 cm^{-2} 以上である単結晶膜であることを特徴とする請求項17に記載の半導体装置。

(19) 前記ゲルマニウムを含有する導電性膜は、ゲルマニウムの含有量が20原子%以上であることを特徴とする請求項17に記載の半導体装置。

(20) 前記ゲルマニウムを含有する導電性膜は、ゲルマニウムの含有量が面密度で $1 \times 10^{16}\text{ cm}^{-2}$ 以上であることを特徴とする請求項17に記載の半導体装置。

(21) 前記炭化シリコン膜は、膜厚が0.1ないし10nmであることを特徴とする請求項17に記載の半導体装置。

ABSTRACT OF THE DISCLOSURE

ソース領域／ドレイン領域上にS i G eもしくはS i C膜などを選択成長させたのち、シリコンを選択成長させる。CやG eの含有率を所定濃度以上とすることによりシリコン膜成長時に、転位密度の高い単結晶もしくは多結晶状態での成長するようになる。ソース領域／ドレイン領域上は単結晶ではないか、たとえ単結晶であっても転位密度が高いのでその上に成膜されるシリコン膜も転位密度の大きい単結晶あるいは多結晶となる。この結果、イオン注入によるドーピング時に発生するイオンのチャネリングによる深い領域までの不純物拡散を抑止できる。

FIG. 1A

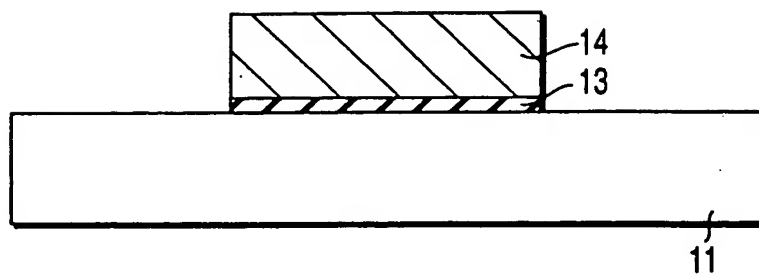


FIG. 1B

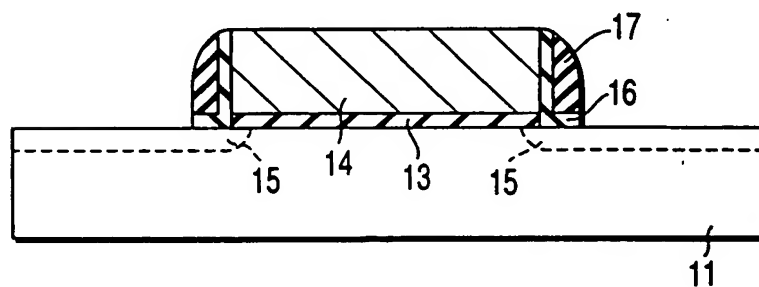


FIG. 2A

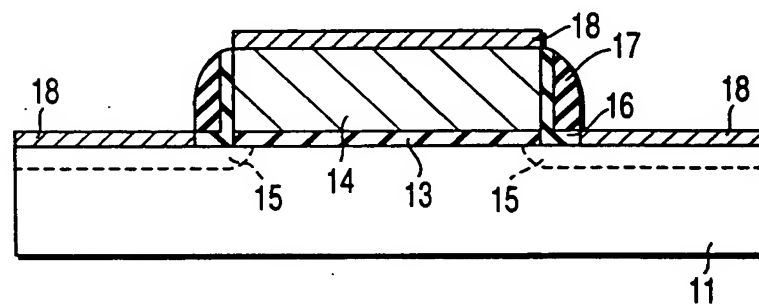


FIG. 2B

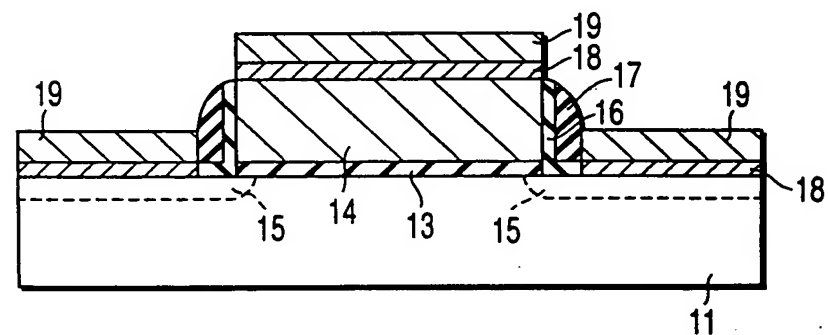
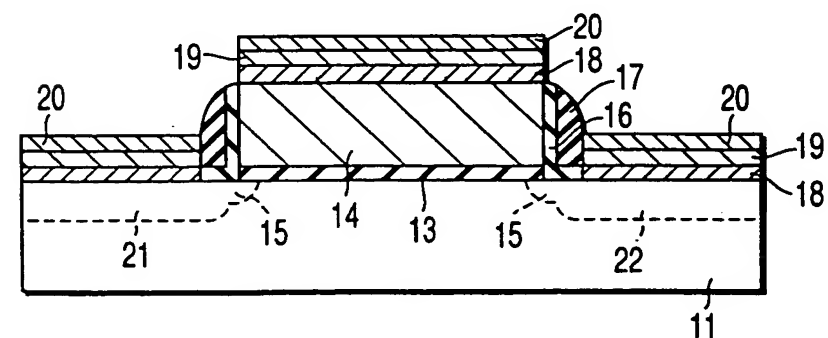


FIG. 3



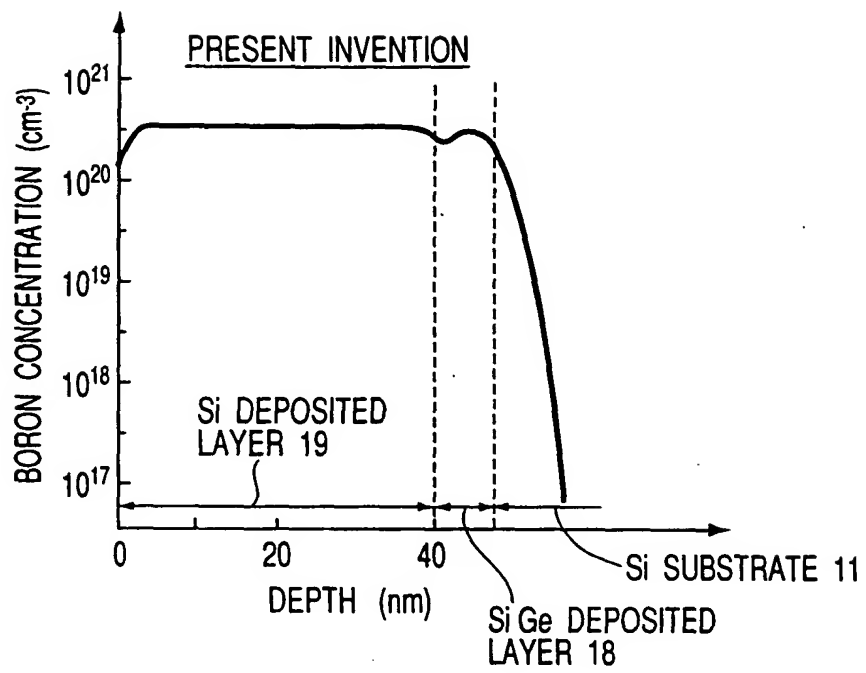


FIG. 4A

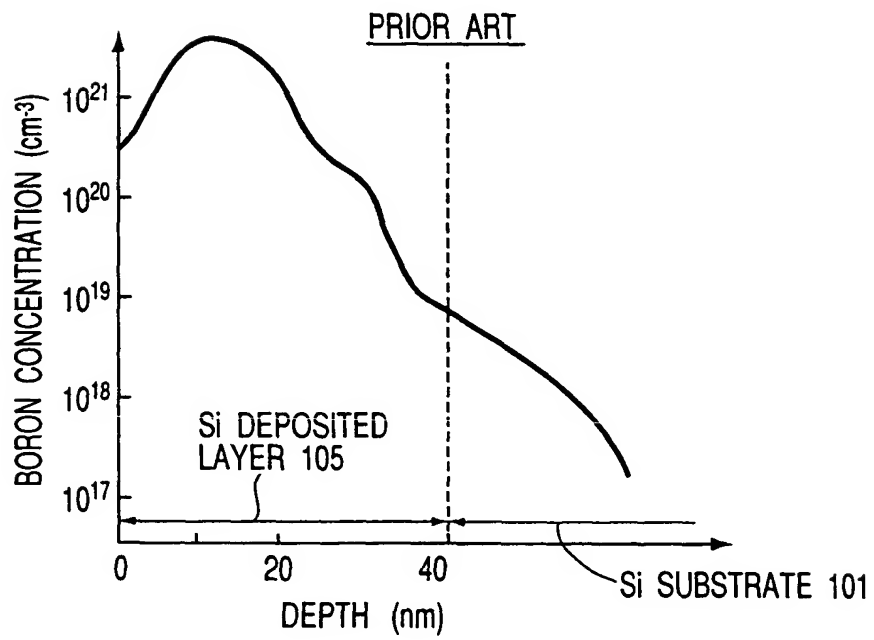


FIG. 4B

FIG. 5

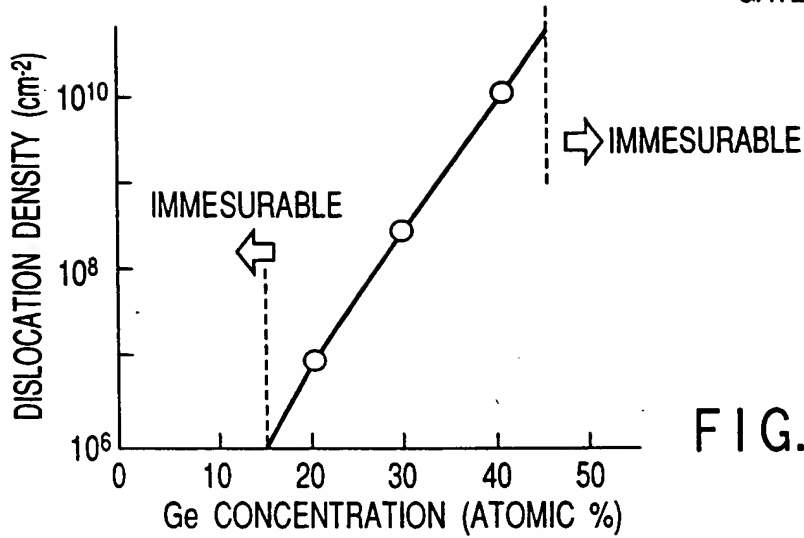
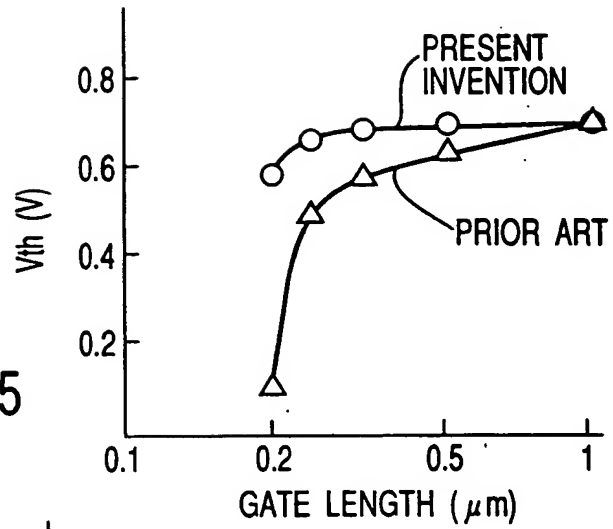


FIG. 6

FIG. 7

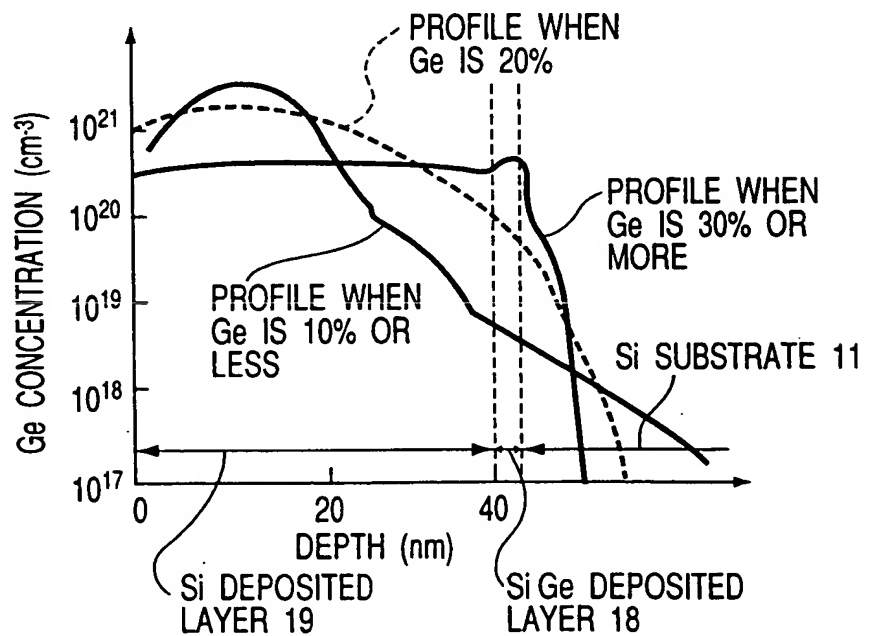


FIG. 8A

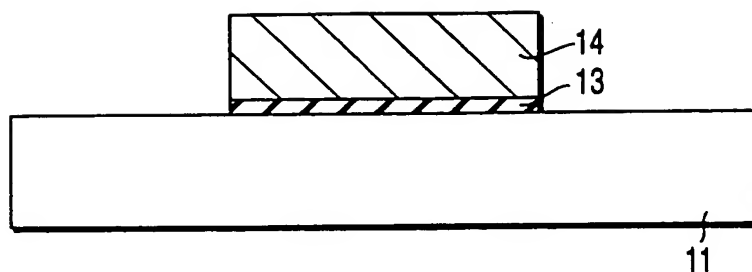


FIG. 8B

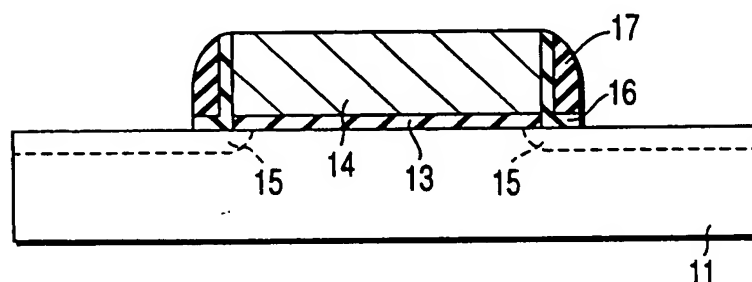


FIG. 9A

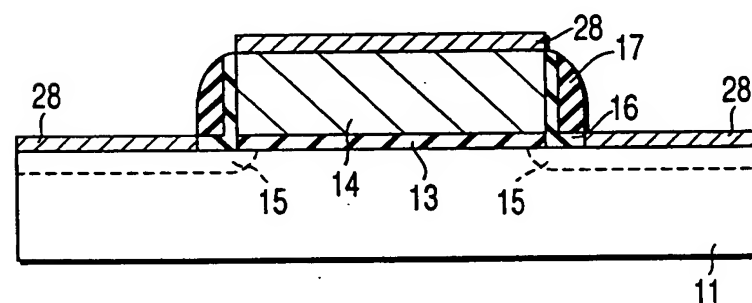


FIG. 9B

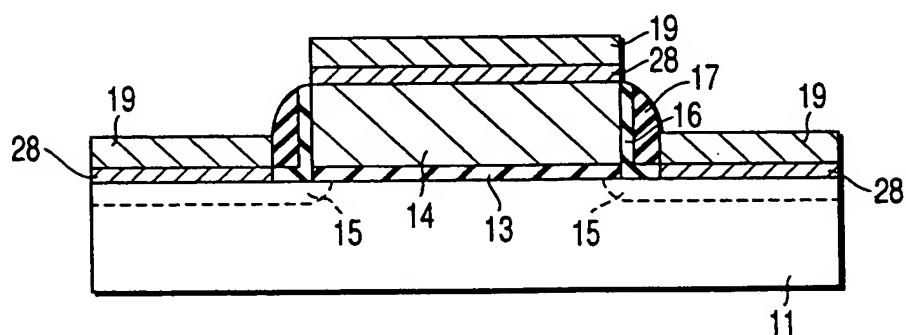


FIG. 10

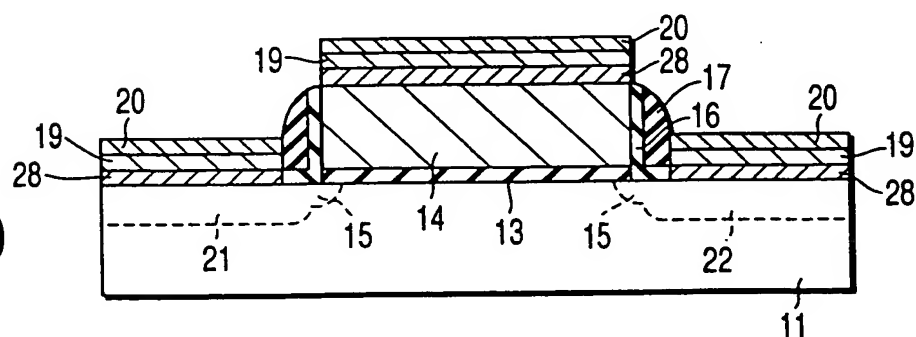


FIG. 11A

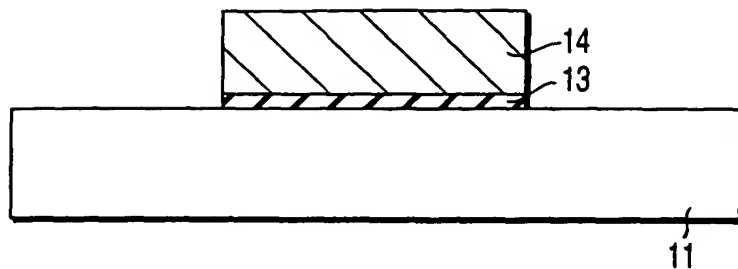


FIG. 11B

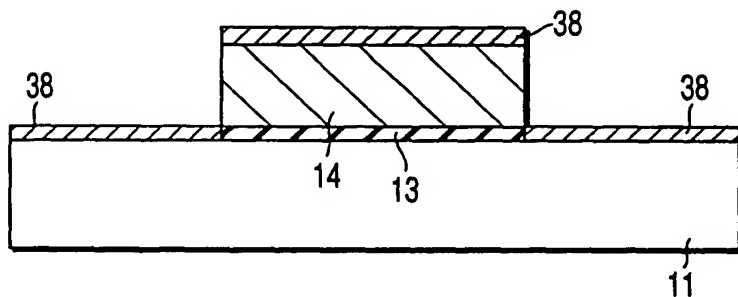


FIG. 12A

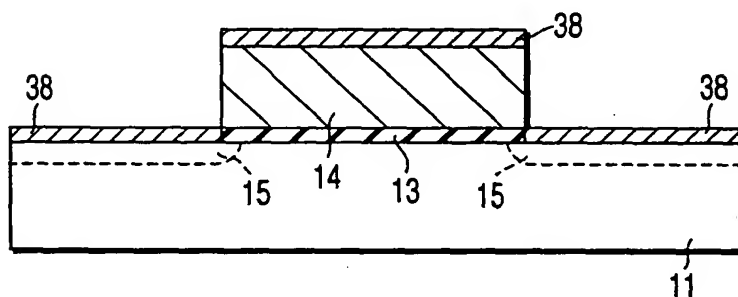


FIG. 12B

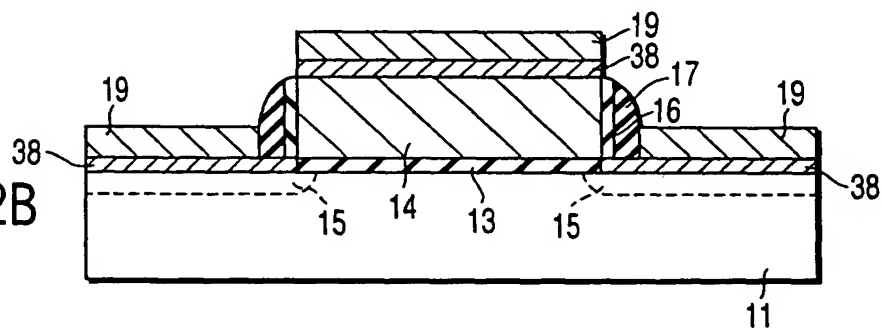


FIG. 13

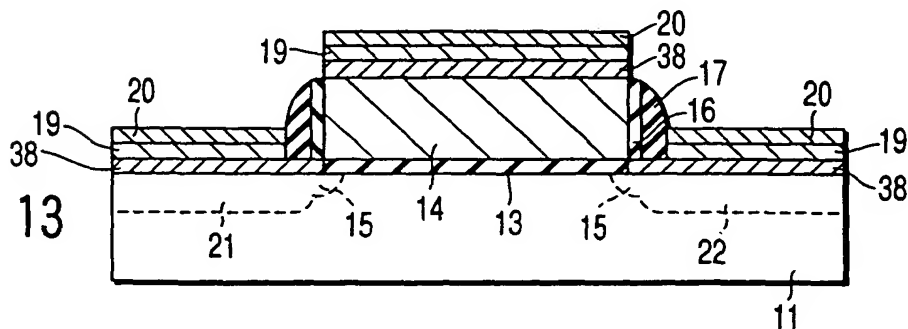


FIG. 14A

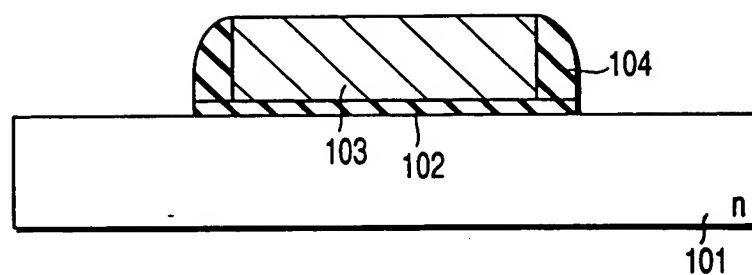


FIG. 14B

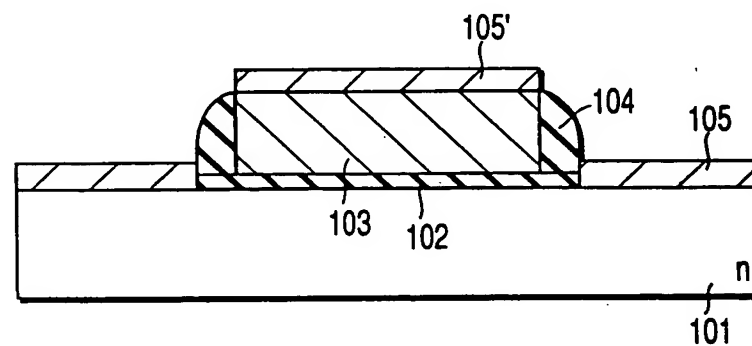


FIG. 15A

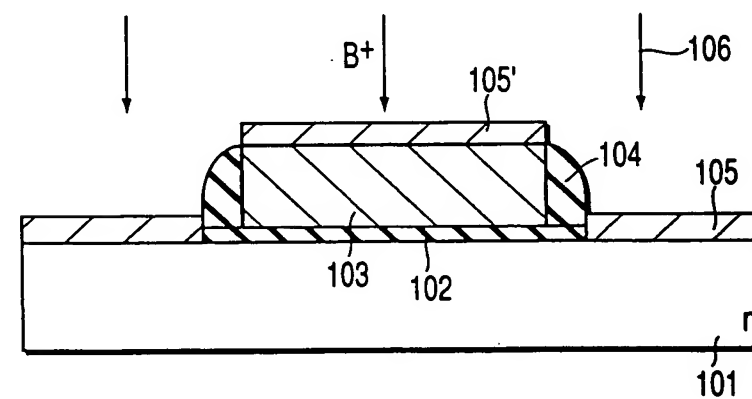


FIG. 15B

